

УДК 004.3'12

МЕТОДЫ СОЗДАНИЯ НАНОРАЗМЕРНЫХ СБИС И «СИСТЕМ НА КРИСТАЛЛЕ» С ПОНИЖЕННОЙ СТАТИЧЕСКОЙ МОЩНОСТЬЮ

© 2011 В.М. Дьяконов, П.С. Волобуев, А.В. Коршунов

Национальный исследовательский университет «МИЭТ», г. Москва

Поступила в редакцию 25.11.2011

Для наноразмерных КМОП технологий (90 нм и ниже) большая мощность, потребляемая схемами за счет статических токов утечек, является основной проблемой для разработчиков. Согласно международной дорожной карте для полупроводниковой отрасли (ITRS) с уменьшением технологических размеров статическая мощность КМОП ИС начинает доминировать над остальными компонентами энергопотребления. В работе рассматриваются методы снижения энергопотребления КМОП СБИС в режиме ожидания на этапе схемотехнического проектирования. Данные методы позволяют значительно уменьшить токи утечки, обуславливающие увеличения энергопотребления в современных СБИС.

Ключевые слова: статическая мощность, подпороговая утечка, схемотехнические методы, стек структура

Значительный рост рынка портативной электроники за последние несколько лет привел к тому, что акцент при проектировании СБИС и «систем на кристалле» (СнК) сместился от максимального быстродействия к минимизации потребляемой мощности. Однако широкий класс мобильных устройств, таких как портативные компьютеры (ноутбуки), смартфоны, планшетные компьютеры сохраняют одновременно требования, как к высокой производительности, так и к низкому энергопотреблению. Для мобильных мультимедийных устройств основной целью энергоэффективного проектирования является минимизация всех составляющих потребляемой мощности, но с учетом некоторых достаточно жестких требований к быстродействию устройства [1]. Основным препятствием к снижению потребляемой мощности при переходе к наноразмерным технологическим нормам (<100 нм) является значительное увеличение роли токов утечек в общем балансе энергопотребления. Так, при техпроцессе КМОП 65 нм при общей потребляемой мощности свыше 100 Вт доля статической мощности составляла около 50%. При переходе к меньшим технологическим техпроцессам, как 32 нм и 22 нм, доля статической мощности стала настолько велика (см. рис. 1), что производители были вынуждены перейти на новые материалы и технологии. Кроме того, проводятся интенсивные исследования методов снижения статической мощности для этапов области схемотехнического, системного и архитектурного проектирования [2].

Дьяконов Владимир Михайлович, кандидат технических наук, доцент. E-mail: bobyak@mail.ru

Волобуев Павел Сергеевич, аспирант. E-mail: synopsis@bk.ru

Коршунов Андрей Владимирович, старший преподаватель. E-mail: korshun@gmail.com

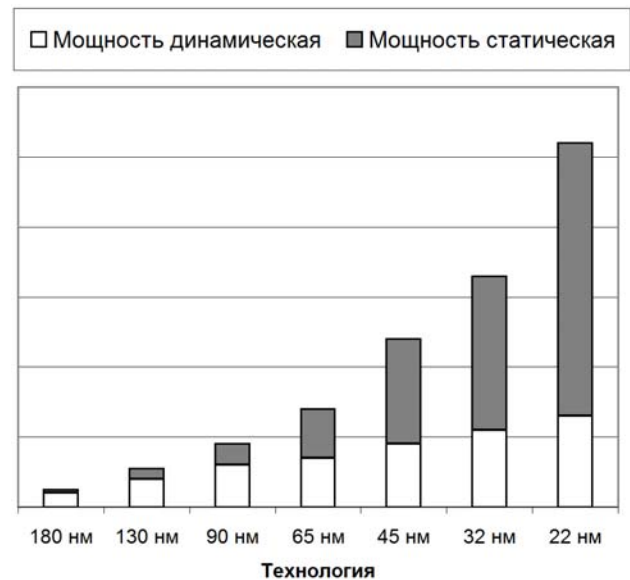


Рис. 1. Изменение соотношения между статической и динамической мощностью при масштабировании технологии

Составляющие статической потребляемой мощности. Существует три основных вида токов утечки (рис. 2) [3], в сумме составляющих общий ток утечки (I_{leak}). Это токи утечки через $p-n$ переход сток/подложка (ток через обратносмещенный переход, токи связанные со снижением потенциального барьера под затвором, за счет напряжения на стоке (DIBL), токи утечки между стоком/истоком и подложкой, обусловленные напряжением на затворе (GIDL, GISL и др.), ток через канал закрытого транзистора (подпороговая утечка) и туннельные токи.

Подпороговые токи утечки. Подпороговая утечка возникает, когда один из транзисторов выключен, а другой активный транзистор заряжается (или разряжается). Величина подпорогового

тока зависит от технологического процесса, размеров (W/L) и напряжения питания. Основным параметром, влияющим на величину подпорогового тока, является пороговое напряжение (V_{TH}). Уменьшение V_{TH} экспоненциально повышает подпороговый ток, который оказывается пропорциональным напряжению сток-исток (V_{DS}) или, что эквивалентно, напряжению питания (V_{DD}).

$$I_{SUB} = \mu \cdot C_{OX} \cdot \phi_T^2 \cdot \frac{W}{L} \cdot e^{\frac{V_{GS}-V_{TH}}{n \cdot \phi_T}} \cdot (1 - e^{-\frac{V_{DS}}{\phi_T}}) \quad (1)$$

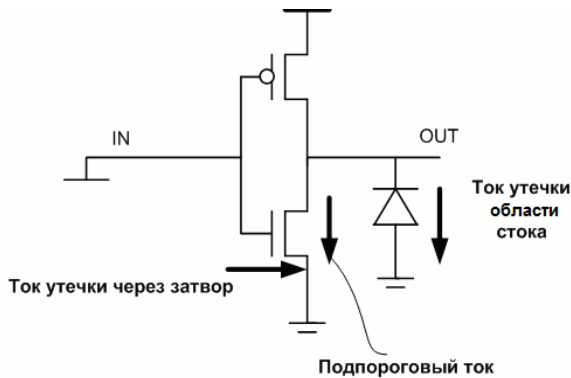


Рис. 2. Токи утечки в КМОП-инверторе

Токи утечки, связанные с областью стока. Они включают в себя несколько составляющих:

1. Ток через обратносмещенный $p-n$ переход. Ток утечки через $p-n$ переходы исток/подложка и сток/подложка возникает при наличии на этих $p-n$ переходах обратного смещения между областями стока/истока и подложки. Плотность тока утечки зависит от топологических размеров транзистора, концентрации легирующей примеси, температуры.

2. Ток сток/подложка, индуцированный затвором. Когда напряжение на затворе n -канального транзистора равно нулю, а на стоке – максимально, область стока под перекрытием затвор-сток обедняется электронами. Поскольку область стока сильно легирована, область обеднения имеет очень маленькую ширину и становится возможным туннелирование электронов из валентной зоны в зону проводимости n^+ стока, что приводит к возникновению тока утечки между стоком и подложкой, вызванного затвором.

Туннельный ток через подзатворный диэлектрик. Утечки, связанные с туннелированием через подзатворный диэлектрик, возникают при переходе к нанометровым технологическим нормам. Если для технологий больше 90 нм основной составляющей статической мощности являлись подпороговые токи, то на технологии 90 нм утечки через подзатворный диэлектрик составляют уже 30%, а при технологических нормах в 65 нм они сравниваются с подпороговыми. При дальнейшем снижении топологических размеров увеличивается роль утечек через $p-n$ переходы.

Основные подходы к снижению статической мощности. Как показано выше, статическая мощность для КМОП схем складывается из нескольких видов токов утечек и не зависит от рабочей частоты и переключательной активности. Общим параметром, который входит как в статическую, так и динамическую мощность, является напряжение питания (V_{DD}), и его снижение приводит к уменьшению обеих составляющих потребляемой мощности. С другой стороны, сильное влияние на величину статической мощности оказывает пороговое напряжение (V_{TH}), однако при масштабировании технологии V_{DD} и V_{TH} уменьшаются, а статическая мощность увеличивается. Следовательно, методы, уменьшающие статическую мощность, должны быть связаны с напряжением питания и пороговым напряжением. При этом данные параметры находятся в противоречии, поскольку скорость снижения напряжения питания при масштабировании технологических размеров превышает скорость уменьшения порогового напряжения. На уменьшение порогового напряжения схемами мощности [4] можно повлиять на следующих этапах разработки СБИС:

1) Технологические методы. К наиболее современным технологическим методам относятся: применение новых материалов в подзатворном диэлектрике ($high-k$ диэлектрики), технология «напряженного кремния», новые приборы (транзистор с двумя или даже с тремя затворами), технология «полностью обедненного кремния-на-изоляторе» (FDSOI), «напряженный кремний, размещенный непосредственно на изоляторе» (SSDOI).

2) При проектировании на системном и алгоритмическом уровнях у разработчиков есть гибкие возможности повлиять на потребляемую мощность. Основной метод снижения статической мощности на данном уровне – управление питанием (power management).

3) Этап функционально-логического проектирования. На данном этапе реализуются подходы, связанные с отключением блоков от шин земли и питания, а также с управлением пороговым напряжением.

4) Этап перехода от функционально-логического описания к физическому включает две основные процедуры: синтез RTL описания в вентиляльное представление и физическую реализацию этого списка цепей. На данном этапе могут быть реализованы методы управления пороговым напряжением и напряжением питания на уровне одиночного вентиля.

Отметим, что использование какого-либо метода на одном из уровней связано с проектированием и на других уровнях. Например, реализация методики с несколькими пороговыми напряжениями на уровне ячейки потребует организации управления режимами питания на системном

уровне. В данной работе основное внимание будет уделено методам уменьшения статической мощности для схемотехнического уровня. Как правило, их можно реализовать, не изменяя технологический процесс, что позволяет внедрить такие подходы в процесс разработки с минимальными затратами.

Схемотехнические методы снижения энергопотребления. Основой энергосберегающего проектирования является компромисс между скоростью работы схемы и энергопотреблением. При уменьшении напряжения питания быстродействие уменьшается, с другой стороны при увеличении напряжения питания будет рассеиваться значительная мощность. В схеме простейшего КМОП вентиля для обеспечения малых значений токов утечки между стоком и истоком в закрытом состоянии предпочтительно высокое пороговое напряжение. Для достижения высокого быстродействия необходимо, чтобы пороговое напряжение было как можно меньше. В этом заключается основное противоречие классического КМОП вентиля, в котором используются транзисторы с фиксированными, неизменными пороговыми напряжениями. Это противоречие обостряется при уменьшении напряжения питания, что требует уменьшения пороговых напряжений. Разрешения противоречия возможно на схемотехническом уровне с использованием транзисторов с переменным пороговым напряжением.

Схемотехнические методы могут быть объединены в две группы: методы с сохранением уровня сигнала на выходе, при этом состояние сигнала на выходе поддерживается во время отключения схемы, и на методы без сохранения сигнала на выходе схемы, когда текущее значение сигнала на выходе схемы теряется [5]. Схемы с сохранением сигнала на выходе имеют преимущество перед схемами без сохранения: они могут возобновить свою работу после режима ожидания гораздо раньше, т.к. не требуют схем восстановления уровня. Каждый метод позволяет уменьшить потребляемую статическую мощность, но у каждого метода есть свои достоинства и недостатки.

Подходы без сохранения сигнала. Sleep подход. В качестве одного из подходов для снижения тока утечки был разработан “sleep” подход. В схему добавляются транзисторы, которые отключают её от шин земли и питания, когда она находится в режиме ожидания. Каждый транзистор можно назвать “sleep”-транзистором (рис. 3а). Обычно его ширина берётся равной ширине самого большого транзистора в исходной схеме [6]. При использовании данного подхода схема отключается от шин земли и питания, при этом уменьшается как подпороговый ток утечки, так и статическая мощность. Нужно отметить недостатки такого подхода: когда схема находится в режиме ожидания, то сигнал, который был на её

выводах, теряется и возникают так называемые «плавающие выходы». На выход схемы из режима ожидания требуется энергия и время. Из-за наличия дополнительных больших отключающих транзисторов происходит увеличение площади. Другой негативной стороной данного подхода является необходимость использования схемы регенерации уровня, в частности дополнительные регистры памяти.

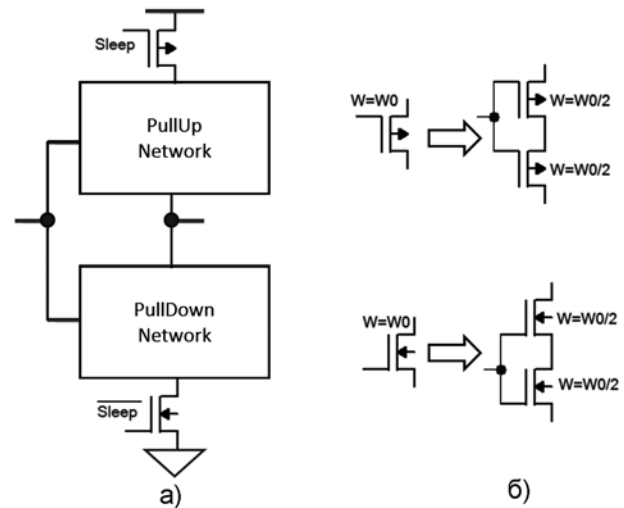


Рис. 3: а) Sleep подход; б) Stack подход

Схемотехнические методы с сохранением сигнала на выходе элемента. Stack подход. При Stack подходе [6] каждый транзистор “pull-up” и “pull-down” цепи схемы заменяется на два транзистора, но шириной в 2 раза меньше, чем исходный транзистор (см. рис. 3б). Если оба транзистора выключены, то из-за такого разделения между затвором и истоком верхнего транзистора в стеке (для n-МОП цепочки) создаётся слабое обратное смещение. А так как подпороговый ток экспоненциально зависит от напряжения смещения на затворе, то тем самым достигается уменьшение потребления тока.

Развитие схемотехнических методов. Одним из наиболее перспективных при разработке нанометровых СБИС и СнК являются методы, использующие комбинации sleep и stack подходов, а также их различные модификации [7]. К ним относятся: sleepy stack подход; подход с обратной связью на инверторе; sleepy-keeper подход; dual-sleep подход.

В Sleepy stack подходе каждый транзистор делится на два половинной ширины, а параллельно одному из них включается “sleep” транзистор. Отметим основные преимущества такого подхода. Во-первых, в течение активного рабочего режима, sleepy stack подход показывает лучшее время задержки, чем stack подход. Во-вторых, когда “sleep” транзисторы выключены, то существование пути между шинами питания и земли не даёт появиться “плавающим” выходам.

Но у данного подхода есть один серьёзный недостаток – значительное увеличение занимаемой схемой площади. Кроме того, достаточно трудоёмок процесс создания топологии, что приводит к большому времени разработки таких схем.

Использование обратной связи – один из вариантов “sleep” подхода. При этом для получения на выходе схемы требуемого логического уровня в режиме ожидания используются два дополнительных транзистора. Эти два транзистора работают от инвертора, который, в свою очередь, подключён к выходу логической схемы. Наличие дополнительного инвертора приводит к увеличению потребления тока, поэтому для небольших блоков данная структура будет мало эффективна.

Sleepy-keeper подход разработан для того, чтобы, имея преимущества *sleepy stack* подхода, избавиться от ограничений, вызванных групповым соединением трёх транзисторов. Предлагается использовать *n*-канальный МОП транзистор для отключения шины питания, а не земли. В режиме ожидания *n*-канальный транзистор обеспечит сохранения сигнала на выходе. Основным преимуществом является уменьшенное количество требуемых дополнительных транзисторов и использование *sleep* структуры, что сказывается на потребляемой статической мощности. Также данный метод обладает хорошими показателями по задержке. Из недостатков можно назвать использование нестандартного расположения транзисторов, что приводит к трудностям при разработке топологии базовых элементов.

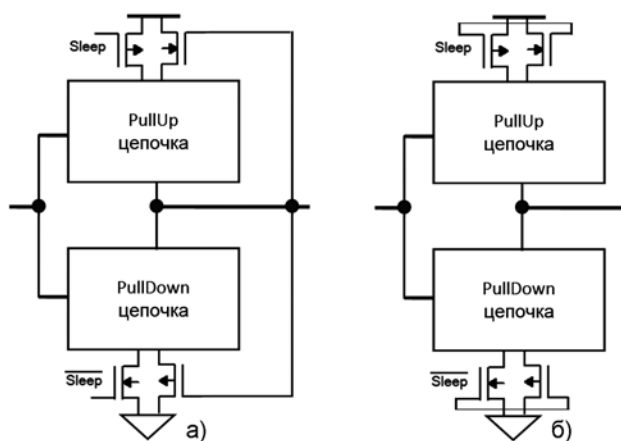


Рис. 4. а) Sleepy-keeper подход; б) Dual-sleep подход

В *dual sleep* подходе используется два *sleep* транзистора между *pull-up* цепочкой и шиной питания, а также между *pull-down* цепочкой и шиной земли. Большим преимуществом такого решения является возможность отключения целых блоков СБИС, т.к. в данном случае обратные связи для поддержания сигнала на выходе схемы

не используются. *Dual-sleep* подход показывает сравнимые со *sleepy-keeper* подходом значения задержек прохождения сигналов. Из недостатков можно также назвать использование нестандартного расположения транзисторов, как и в *sleepy-keeper* подходе.

Моделирование и результаты измерения. В системе схемотехнического моделирования Synopsys HSPICE был проведен сравнительный анализ представленных схемотехнических подходов для коммерческой технологии КМОП 90 нм на примере 4-битного последовательного сумматора. Оценивались следующие параметры: задержка прохождения сигнала, потребляемая динамическая и статическая мощность, а также площадь стандартных ячеек, на основе разработанных топологий схемных реализаций. Полученные данные нормировались по значениям параметров для базовой схемы. Отметим, что для статической мощности рассчитывается коэффициент уменьшения, а для динамической мощности, задержки и площади – коэффициенты увеличения.

Как видно из результатов *Sleep*-подход позволяет достичь 4000-кратного уменьшения статической мощности за счёт полного отключения схемы от шин питания. Методы с сохранением сигнала на выходе не показывают таких высоких значений. Среди них можно выделить *dual sleep* метод, где утечки снизились почти в 850 раз. Оставшиеся подходы позволяют снизить статическую мощность до 200 раз. Из табл. 1 видно, что представленные подходы не сильно влияют на динамическое потребление схемы. Исключение составляет лишь *sleepy keeper* подход, который в силу своих конструктивных особенностей увеличивает (рост на 14%) этот показатель. Наихудшие результаты с точки зрения быстродействия показали *stack* и *sleepy stack* подходы, где задержка увеличилась на 181% и 140% соответственно. У остальных подходов показатели примерно равные – ухудшение до 25%.

Используя *sleep* подход можно разработать достаточно компактную топологию схемы (рост на 24%), но при этом в режиме ожидания потребуются восстанавливающие регистры. При использовании транзисторных стеков увеличивается количество транзисторов, что привело к увеличению площади от 1,62 раз для *stack* схемы до 2,5 раз для *sleepy keeper*, однако подход не требует введение дополнительных отключающих структур и соответствующих управляющих ими сигнальных шин. Методы *sleepy keeper* и *dual sleep* увеличили площадь на 49% и показали лучший результат среди подходов с сохранением сигнала на выходе схемы.

Таблица 1. Результаты моделирования

Тип реализации 4-битного полного сумматора	Статическая мощность	Динамическая мощность	Задержка	Площадь
Stack	195,85	0,77	2,81	1,62
Sleep	198,54	1,01	1,25	1,24
Sleep (multi-Vth)	4044,39	1,00	1,29	1,24
Sleepy Stack	139,05	0,86	2,40	2,48
Sleepy Stack (multi-Vth)	191,76	1,00	2,44	2,48
Sleepy Keeper	39,63	1,14	1,22	1,49
Sleepy Keeper (multi-Vth)	41,09	1,14	1,22	1,49
Dual Sleep	144,87	1,01	1,17	1,49
Dual Sleep (multi-Vth)	755,30	1,00	1,21	1,49
Dual Sleep 2	217,24	0,97	1,18	1,28
Dual Sleep 2 (multi-Vth)	845,84	0,96	1,20	1,28

Выводы: очевидно, что каждое решение имеет свои достоинства и недостатки и вследствие этого свою сферу применения. Общим достоинством схемотехнических методов снижения статической мощности является их инвариантность относительно технологического базиса: устройства на основе этих решений могут быть изготовлены как в рамках классической КМОП технологии, так и по технологии SOI (кремний-на-изоляторе). С переходом в область наноразмеров с топологическими нормами менее 45 нм на первый план выходят туннельные токи, поэтому на сегодняшний день актуальной задачей является создание методик для снижения данной составляющей.

СПИСОК ЛИТЕРАТУРЫ:

1. *Rabaey, J. Power Aware Design Methodologies / J. Rabaey, M. Pedram.* – NY.: Springer, 2003. 544 p.
2. International Technology Roadmap for Semiconductors [Электронный ресурс]. ITRS, 2010. <http://www.itrs.net/>
3. *Keating, M. Low Power Methodology Manual: For System-on-Chip Design / M. Keating, D. Flynn, R. Aitken et al.* – NY.: Springer, 2007. 323 p.
4. *Дьяконов, В.М. Методы оптимизации динамической мощности для СБИС и «систем на кристалле» / В.М. Дьяконов, А.В. Кориунов, А.В. Мариныч // Электромагнитные волны и электронные системы.* – М.: Радиотехника, 2010. С. 33-38.
5. *Sadi, M. Dual Sleep Approach to Vlsi Design / M. Sadi, N. Karmakar, K. Alam.* – VDM Verlag, 2010. 56 p.
6. *Дьяконов, В.М. Подходы к снижению статической мощности в беспроводных интеллектуальных датчиках / В.М. Дьяконов, А.В. Кориунов // Естественные и технические науки.* 2009. №2. С. 428-432.
7. *Rabaey, J. Low Power Design Essentials.* – NY.: Springer, 2009. 300 p.

METHODS OF CREATION THE NANODIMENTIONAL VLSI AND «SYSTEMS ON CRYSTAL» (SoC) WITH LOWER STATIC POWER

© 2011 V.M. Dyakonov, P.S. Volobuyev, A.V. Korshunov

National Research University “MIET”, Moscow

For nanodimensional CMOS technologies (90 nanometers and more low) the major power consumed by schemes at the expense of leakage static currents, is the basic problem for developers. According to the international road map for semiconductor branch (ITRS) with reduction of the technological sizes static power of CMOS starts to dominate over other components of power consumption. In paper methods of decrease in power consumption of CMOS devices in an expectation mode at a stage of scheme-technical designing are considered. The given methods allow to reduce considerably the currents of leakage causing magnifications of power consumption in up-to-date CMOS.

Key words: *static power, subthreshold leakage, scheme-technical methods, stack structure*

*Vladimir Dyakonov, Candidate of Technical Sciences, Associate Professor. E-mail: bobyak@mail.ru
Pavel Volobuev, Post-graduate Student. E-mail: synopsis@bk.ru
Andrey Korshunov, Senior Teacher. E-mail: korshun@gmail.com*