

МЕТОДИКА ПРОВЕДЕНИЯ ОПЕРАТИВНОГО АНАЛИЗА ЭЛЕКТРИЧЕСКИХ И ВРЕМЕННЫХ ПАРАМЕТРОВ ЦИФРОВЫХ КМОП ЭЛЕМЕНТОВ И СБИС НА ИХ ОСНОВЕ

© 2012 В.М. Дьяконов, Н.В. Семученков, В.С. Тараканов, Д.П. Фролов,
А.В. Коршунов

Национальный исследовательский университет «МИЭТ», г. Москва

Поступила в редакцию 22.03.2012

В статье приведена методика оперативного расчета электрических и временных параметров цифровых схем, спроектированных на основе КМОП транзисторов. Рассматриваемая методика основана на замещении функционально-различных логических элементов (ЛЭ) их макромоделями. Макромодель («эквивалентный инвертор») характеризуется определенным набором параметров, значения которых определяются относительно замещаемого ЛЭ. Исходными данными при расчёте являются не физические параметры транзисторов, на основе которых спроектирован ЛЭ, а задержка инвертора в цепи каскадно-соединенных инверторов с идентичными топологическими параметрами и емкостные параметры транзисторов. Предлагаемая методика существенно упрощает процедуру оперативного определения параметров цифровых КМОП схем.

Ключевые слова: *КМОП СБИС, логический элемент, моделирование, электрические параметры, макромодель, инвертор, цифровой элемент*

Традиционным методом расчета электрических параметров элементов с применением САПР на этапе схемотехнического проектирования является моделирование с использованием SPICE-симулятора или других SPICE-подобных программных продуктов (Hspice, Spectre и др) [1, 2]. Алгоритм работы подобных симуляторов сводится к определению состояний (значений токов, напряжений) в узлах схемы в ограниченном количестве моментов времени. Переходные процессы при этом моделируются путем решения систем дифференциальных уравнений в каждый момент времени. Промежуточные состояния (между моментами времени, для которых проведен расчет) получают посредством интерполяции. Данный алгоритм и принцип расчета параметров ЛЭ имеет существенный недостаток – значительные затраты машинного времени. Принимая во внимание эффекты второго порядка в полупроводниковых устройствах, и, как следствие, сложность решения систем дифференциальных уравнений, становится очевидным, что данный процесс моделирования может быть достаточно длительным.

При проектировании сложных цифровых схем с известными допусками на значения высоких

и низких уровней напряжения для входных и выходных сигналов, зачастую, в отличие от аналоговых устройств, можно пренебречь достоверностью расчета переходных процессов. Таким образом при разработке цифровых устройств необходимо обеспечить допустимый компромисс между точностью моделирования (переходных процессов) и затратами временных ресурсов на разработку. Приемлемое снижение требований к точности расчета схем позволяет на этапе их моделирования переходить от транзисторного представления ЛЭ к более высоким уровням представления. Ниже рассматривается методика оперативного определения временных и мощностных параметров блоков КМОП СБИС и проведения их функциональной верификации, основанная на замещении логических элементов их макромоделями [3, 4].

Оперативный анализ параметров блоков КМОП СБИС. При разработке КМОП БИС часто необходимо проводить оценку и оптимизацию используемой архитектуры и схемотехнических решений путем «быстрого» оперативного анализа, но с приемлемой точностью. Проведение анализа и расчета многокаскадных КМОП схем на основе аналитической модели транзистора с физическими параметрами (пороговое напряжение, подвижность носителей, коэффициент влияния подложки и другие) не представляется возможным из-за сложности выражений, описывающих переходные процессы [2]. Для упрощения расчета цифровых схем на уровне логических элементов с незначительной потерей в точности целесообразно использовать макромодели ЛЭ – замещать ЛЭ «эквивалентными» инверторами (ЭИ).

Дьяконов Владимир Михайлович, кандидат технических наук, доцент. E-mail: didcd@miee.ru

Семученков Николай Васильевич, младший научный сотрудник. E-mail: didcd@miee.ru

Тараканов Владимир Сергеевич, младший научный сотрудник. E-mail: tarvs@ya.ru

Фролов Дмитрий Петрович, аспирант. E-mail: dmitryfrol@gmail.com

Коршунов Андрей Владимирович, старший преподаватель. E-mail: korshun@gmail.com

Исходными данными при расчёте являются базовая задержка инвертора и емкости затворов, стоков и истоков транзисторов. Порядок расчёта состоит в следующем:

- замещение многокаскадной исходной схемы ЛЭ на цепочку с таким же числом каскадом ЭИ;
- определение параметров замещения ЛЭ на ЭИ;
- определение ширины каналов транзисторов ЭИ;
- определение ширины каналов транзисторов ЛЭ.

Расчет задержки распространения сигнала в каскадно-соединённых инверторах. Задержка распространения сигнала в инверторе определяется выражением:

$$t_{зад} = \frac{C_H}{W_n} \cdot \frac{U_K}{U_H} \int \frac{du}{\alpha \cdot I_p - I_n} \quad (1)$$

где: C_H – нагрузочная емкость инвертора; W_n – ширина канала транзистора n-типа; I_p, I_n – токи стока транзисторов p и r-типа с шириной канала равной единице; U_H, U_K – начальное и конечное напряжения при перезаряде емкости C_H . От коэффициента $\alpha = W_p/W_n$ (W_p – ширина канала МОП транзистора r-типа) зависит соотношение задержки положительного и отрицательного сигналов ($t_{зад}^{(+)}, t_{зад}^{(-)}$) и коэффициент α целесообразно выбирать из условия:

$$t_{зад}^{(+)} = t_{зад}^{(-)} \quad (2)$$

Для инвертора на КМОП транзисторах можно считать, что $\alpha \cdot I_p \gg I_n$ при $U_{вх} < U_{nep}$ и $\alpha \cdot I_p \ll I_n$ при $U_{вх} > U_{nep}$ (здесь $U_{вх}$ – напряжение на входе инвертора, U_{nep} – напряжение переключения инвертора). Поэтому, используя (1), условие (2) можно представить в виде

$$\frac{U_{nep}}{U_n} \int \frac{du}{\alpha \cdot I_p} = \frac{U_{nep}}{U_k} \int \frac{du}{I_n} \quad (3)$$

Из (3) получаем:

$$\alpha = \frac{U_{nep}}{U_n} \int \frac{du}{I_p} / \frac{U_{nep}}{U_k} \int \frac{du}{I_n} \quad (4)$$

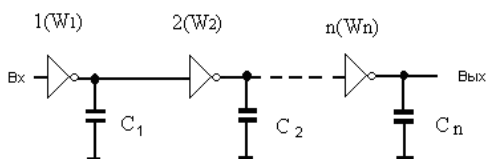


Рис. 1. Цепочка инверторов

Задержка распространения сигнала на инверторе зависит от длительности фронта входного

сигнала $t_{\phi}^{(вх)}$ и минимальна при $t_{\phi}^{(вх)}=0$, поскольку один из членов знаменателя в (1), равен 0. Суммарная задержка n каскадно соединенных инверторов (рисунок 1) зависит от соотношения длительности фронтов входного и выходного сигналов ($t_{\phi i}^{(вх)}, t_{\phi i}^{(вых)}$) каждого инвертора.

Можно показать, что задержка распространения сигнала в цепочке из n инверторов минимальна при:

$$t_{\phi i}^{(вх)} = t_{\phi i}^{(вых)}$$

т.е., когда задержки отдельных инверторов равны, определяется выражением

$$T_{зад} = \sum_{i=1}^n t_{зад i} = n \cdot t_{зад i} \quad (5)$$

где $t_{зад i}$ – задержка распространения i -го инвертора. При $t_{\phi i}^{(вх)} < t_{\phi i}^{(вых)}$, $t_{\phi i}^{(вх)} > t_{\phi i}^{(вых)}$ – задержка распространения цепочки из n инверторов меньше (больше) суммарной задержки отдельных инверторов.

Оптимизация ширины каналов транзисторов КМОП инверторов. В общем случае выражение для нагрузочной емкости i -го инвертора имеет вид:

$$C_{ni} = C_i + \gamma' W_i + \gamma'' W_{i+1} \quad (6)$$

где C_i – внешняя нагрузочная емкость; W_i, W_{i+1} – ширины каналов транзисторов n-типа двух соседних инверторов.

Второй член в (6) представляет выходную, третий – входную емкость инверторов с номерами i и $i+1$ соответственно. Коэффициенты входной и выходной емкостей (γ'', γ') при условии, если в качестве W_i, W_{i+1} выбраны ширины каналов транзисторов n-типа, имеют следующий вид:

$$\gamma' = C_n^{вых} + \alpha \cdot C_p^{вх} \quad (7)$$

$$\gamma'' = C_n^{вх} + \alpha \cdot C_p^{вых} \quad (8)$$

где $C_n^{вых}, C_p^{вх}, C_n^{вх}, C_p^{вх}$ – выходная и входная емкости транзисторов n и p-типа с шириной канала, равной единице.

Задержку инвертора представим в нормированном виде:

$$\frac{t_{зад i}}{t_{зад 0}} = \frac{t_{зад i}}{t_{зад 0}} \quad (9)$$

где в качестве нормировочной величины ($t_{зад 0}$) выбрана задержка одного инвертора в цепочке последовательно соединенных инверторов с одинаковыми топологическими размерами (базовая задержка). Эта задержка является характеристикой технологии изготовления КМОП СБИС и

легко может быть определена экспериментально или расчётно. Отметим, что для инверторов с одинаковыми топологическими размерами транзисторов n -типа, выражение (6), при $C_i=0$ приводится к следующей форме:

$$C_{ni} = (\gamma' + \gamma'') \cdot W_i \quad (10)$$

Учитывая (1), (6), (10) выражение (9) можно записать в виде:

$$\frac{1}{t_{задi}} = \frac{\gamma'_i \cdot W_i + \gamma''_{i+1} \cdot W_{i+1} + C_i}{(\gamma' + \gamma'') \cdot W_i} \quad (11)$$

Решая (11) относительно W_i , получим формулу для расчета ширин каналов транзисторов в инверторах, начиная с последнего инвертора (при заданной нагрузке C_i и задержке $\frac{1}{t_{задi}}$ на каскад):

$$W_i = \frac{C_i + \gamma''_{i+1} \cdot W_{i+1}}{t_{задi} \cdot (\gamma' + \gamma'') - \gamma'_i} \quad (12)$$

$$\begin{cases} \gamma''_i \cdot W_i^2 - \gamma''_{i+1} \cdot W_{i-1} \cdot W_{i+1} - C_i \cdot W_{i-1} = 0, \text{ для } i = 2, 3, \dots, n-1; \\ \gamma''_i \cdot W_i^2 - C_i \cdot W_{i-1} = 0, \text{ для } i = n. \end{cases} \quad (15)$$

Однозначное решение системы (15) можно получить, если задаться геометрическими размерами транзисторов одного из каскадов, как правило, первого W_1 или последнего W_n . Для цепочки инверторов с $C_i=0$ при $i=2,3,\dots, n-1$; $C_i \neq 0$ при $i=n$ и $\gamma'_i = \gamma', \gamma''_i = \gamma''$ при $i=2,3,\dots, n$, задержка $\frac{1}{T_{зад}}$ минимальна, если равны задержки отдельных каскадов $t_{задi} = t_{зад}$. Из (15) имеем в этом случае следующую связь между ширинами каналов транзисторов трех соседних инверторов:

$$W_i = \sqrt{W_{i-1} \cdot W_{i+1}} \quad (i=2, 3, \dots, n-1). \quad (16)$$

Следовательно, (13) позволяет найти оптимальные ширины каналов транзисторов цепочки инверторов, исходя из заданной задержки $\frac{1}{T_{зад}}$, равно распределённой по всем каскадам. Отметим, что реализация решения системы (15) на ЭВМ позволяет оперативно проводить приближенную оптимизацию схемы на дополняющих КМОП транзисторах по быстродействию.

Параметры замещения логических элементов. Логический элемент состоит из ветвей n и p -типа транзисторов, подсоединённых к выходу [5, 6]. Каждая ветвь может

Поскольку для цепочки одинаковых инверторов с $C_i=0$ при $i=1,2,3,\dots, n-1$, $\gamma'_i = \gamma', \gamma''_i = \gamma''$, $\frac{1}{t_{задi}} = \frac{1}{t_{зад}}$ при $i=1, 2, 3, \dots, n$, для последнего инвертора выражение (12) принимает вид

$$W_n = \frac{C_i}{(t_{задi} \cdot (\gamma' + \gamma'') - \gamma'_i)} \quad (13)$$

где: C_i – внешняя нагрузочная емкость последнего каскада; W_n – ширина канала транзистора n -типа последнего каскада.

Из (5) с учетом (11) получим выражение для нормированной задержки цепочки из n инверторов:

$$\frac{1}{T_{зад}} = \frac{1}{(\gamma' + \gamma'')} \cdot \sum_{i=1}^n \left(\gamma'_i + \gamma''_{i+1} \cdot \frac{W_{i+1}}{W_i} + \frac{C_i}{W_i} \right) \quad (14)$$

где $W_{i+1}=0$ при $i=n$.

Минимум нормированной задержки при $\frac{\partial T_{зад}}{\partial W_i} = 0$ ($i=1,2,3,\dots, n$), т.е. оптимальные значения ширин каналов транзисторов по быстродействию находятся из решения следующей системы уравнений:

содержать последовательные и параллельные транзисторы одного типа, при этом количество транзисторов в ветвях может быть различно [7, 8]. Наибольшее время переключения определяется ветвью, которая содержит максимальное число последовательно соединённых однотипных транзисторов. Данными для определения параметров замещения ЛЭ являются:

- электрические схемы ЛЭ на уровне транзисторов;
- эскиз топологии ЛЭ;
- $t_{зад,0}$ – базовая задержка инвертора;
- $C_n^{вх}, C_p^{вх}$ – входная емкость транзисторов n , p -типа с шириной канала, равной единице;
- $C_n^{вых}, C_p^{вых}$ – выходная емкость транзисторов n , p -типа с шириной канала, равной единице;
- коэффициент α ;
- коэффициент выходной емкости инвертора γ' ;
- коэффициент входной емкости инвертора γ'' .

В рассчитываемой схеме каждый ЛЭ замещается своей макромоделью. Для проведения расчёта необходимо определить следующие параметры замещения ЛЭ на ЭИ:

- $\gamma'_{эКВ}$ – коэффициент выходной емкости;
- $\gamma''_{эКВ}$ – коэффициент входной емкости;
- $\alpha_{эКВ}$ – коэффициент, равный отношению эквивалентной ширины каналов транзисторов n и p -типа в ЭИ.

Задача расчета параметров ЭИ сводится к определению размеров транзисторов ЭИ, при которых обеспечивается заданное быстродействие замещаемого логического элемента. Ширины каналов транзисторов $W_{пэкв}$ и $W_{рэкв}$ эквивалентно инвертора ЭИ с целью удобства при расчетах будем характеризовать одним параметром – шириной каналов транзисторов n -типа $W_{пэкв}$. Опустим индекс n , обозначив:

$$W_{экв.} = W_{п.экв.},$$

тогда для i -го ЭИ

$$W_{рэкв.i} = \alpha_{экв.i} \cdot W_{экв.i}, \quad (17)$$

где $\alpha_{экв.i}$ – эквивалентный коэффициент ЭИ, определяемый по формуле:

$$\alpha_{экв.i} = \alpha \cdot \frac{K_{pi}}{K_{ni}}, \quad (18)$$

где: K_{ni} – суммарное число транзисторов n -типа в последовательной ветви ЛЭ с максимальным количеством транзисторов, подсоединённой к выходу; K_{pi} – суммарное число транзисторов p -типа в последовательной ветви ЛЭ с максимальным количеством транзисторов, подсоединённой к выходу.

Определим коэффициенты входной и выходной емкостей ЭИ. Для $\gamma''_{экв.i}$ – коэффициента входной емкости i -го ЭИ, согласно уравнению (8) получим:

$$\gamma''_{экв.i} = C_{пэкв.i}^{вх} + \alpha_{экв.i} \cdot C_{рэкв.i}^{вх} \quad (19)$$

где

$$C_{пэкв.i}^{вх} = W_{экв.i} \cdot C_n^{вх}, \quad (20)$$

$$C_{рэкв.i}^{вх} = W_{рэкв.i} \cdot C_p^{вх}. \quad (21)$$

Тогда уравнение (19) с учетом уравнений (18, 20, 21), примет следующий вид:

$$\gamma''_{экв.i} = W_{экв.i} \cdot C_n^{вх} + \alpha \cdot \frac{K_{pi}}{K_{ni}} \cdot W_{экв.i} \cdot C_p^{вх}. \quad (22)$$

Нормированную задержку ЭИ, замещающего i -й ЛЭ, с учетом внешней нагрузки представим в следующем виде:

$$t_{зад.соб.экв.i} = \frac{Rn \cdot K_{ni} \cdot (1/Q_{ni}) \cdot \gamma'_{экв.i}}{Rn \cdot (\gamma' + \gamma'')} = \frac{K_{ni} \cdot (1/Q_{ni}) \cdot \gamma'_{экв.i}}{(\gamma' + \gamma'')}.$$

Для $\gamma'_{экв.i}$ – коэффициента выходной емкости i -го ЭИ в согласно уравнению (7) получим:

$$\gamma'_{экв.i} = C_{пэкв.i}^{вых} + \alpha_{экв.i} \cdot C_{рэкв.i}^{вых}, \quad (23)$$

где

$$C_{пэкв.i}^{вых} = (1/K_{ni}) \cdot Q_{ni} \cdot V_{ni} \cdot C_n^{вых}, \quad (24)$$

$$C_{рэкв.i}^{вых} = (1/K_{pi}) \cdot Q_{pi} \cdot V_{pi} \cdot C_p^{вых}, \quad (25)$$

$$V_{ni} = \sum_{j=1}^{z_{ni}} A_{nj}, \quad (26)$$

$$V_{pi} = \sum_{j=1}^{z_{pi}} A_{pj}, \quad (27)$$

где: Q_{ni} , Q_{pi} – суммарное количество транзисторов n и p -типа подключенных к выходу i -го ЛЭ, V_{ni} , V_{pi} – коэффициенты для ветви с максимальным числом последовательно соединённых транзисторов n , p -типа подключенными к выходу i -го ЛЭ, содержащей Z_{ni} , Z_{pi} узлов, A_{nj} , A_{pj} – суммарное число стоковых или истоковых областей, подключенных к j -узлу, рассматриваемой последовательной ветви.

Подставив (18), (24), (20) в (23) получим коэффициент выходной емкости i -го ЭИ:

$$\gamma'_{экв.i} = (1/K_{ni}) \cdot Q_{ni} \cdot V_{ni} \cdot C_n^{вых} + (1/K_{pi}) \cdot Q_{pi} \cdot V_{pi} \cdot \alpha \cdot \frac{K_{pi}}{K_{ni}} \cdot C_p^{вых} \quad (28)$$

Определение ширины каналов транзисторов ЛЭ. Учитывая, что

$$t_{зад.i} = R_{экв.i} \cdot \gamma'_{экв.i} = R_n \cdot K_{ni} \cdot (1/Q_{ni}) \cdot \gamma'_{экв.i};$$

$$t_{зад.0} = R_n \cdot (\gamma' + \gamma'');$$

то можно собственную нормированную задержку ЭИ $t_{зад.соб.экв.i}$, замещающего i -й ЛЭ, можно представить, согласно уравнению (9), следующим образом:

$$t_{зад.экв.i} = \frac{K_{ni} \cdot (1/Q_{ni}) \cdot \gamma'_{экв.i} \cdot W_{экв.i} + C_n}{(\gamma' + \gamma'') \cdot W_{экв.i}}. \quad (29)$$

Решая (29) относительно $W_{эки}$, получим формулу для расчета ширины канала транзистора ЭИ:

$$W_{эки} = \frac{C_H}{t_{зад.эки} \cdot (\gamma' + \gamma'') - K_{ni} \cdot (1/Q_{ni}) \cdot \gamma'_{эки}} \quad (30)$$

Ширины каналов транзисторов последовательной цепи ЛЭ (с числом транзисторов, равным K_{ni}) определяются по формуле:

$$W_{ni}^{(ЛЭ)} = K_{ni} \cdot W_{эки}$$

Ширины каналов транзисторов p - типа ЛЭ определяются по формуле

$$W_{pi}^{(ЛЭ)} = \alpha \cdot \frac{K_{pi}}{K_{ni}} \cdot W_{ni}^{(ЛЭ)}$$

Выводы: в статье подробно описана методика оперативного расчета параметров КМОП цифровых ЛЭ и схем на их основе, основанная на использовании макромодели с фиксированным набором параметров для замещения всех ЛЭ схемы, в независимости от функционального назначения элемента. Рассмотренная методика расчета КМОП схем позволяет:

- упростить и ускорить расчет задержек распространения сигналов в цепях;
- определять геометрические размеры транзисторов по заданным задержкам распространения сигналов;
- проводить оптимизацию схем по площади, занимаемой на кристалле.

Перечисленные выше возможности обеспечивают проведение оперативного анализа используемых схемно-конструктивных решений

логических элементов и цифровых блоков с целью выполнения следующих задач:

- выявление критических путей распространения сигналов;
- оптимизация задержек распространения сигналов по критическим путям;
- выбор оптимальных по площади, занимаемой на кристалле, ЛЭ;
- оценка реализуемости схемы на соответствие техническому заданию.

Предварительный анализ КМОП схем на основе положений настоящей методики предоставляет возможность формирования данных для расчёта схем стандартными традиционными методами схемотехнического моделирования с использованием САПР.

СПИСОК ЛИТЕРАТУРЫ:

1. Кеун, Дж. OrCAD Pspice. Анализ электрических цепей. – М.: ДМК Пресс. СПб.: Питер, 2008. 640 с.
2. Денисенко, В.В. Компактные модели МОП-транзисторов для SPICE в микро- и нанoeлектронике. – М.: ФИЗМАТЛИТ, 2010. 408 с.
3. Keating, M. Low Power Methodology Manual. For System-on-Chip Design / M. Keating, D. Flynn, R. Aitken et al. – NY.: Springer, 2007. 304 p.
4. Pedram, M. Power Aware Design Methodologies / M. Pedram, J. Rabaey. – Kluwer Academic Publishers, 2002. 521 p.
5. Узрюмов Е.П. Цифровая схемотехника. – СПб.: БВХ-Петербург, 2004. С. 528.
6. Rabaey, J.M. Low Power Design Methodologies / J.M. Rabaey, M. Pedram. Springer, 2002. 544 p.
7. Korec, J. Low Voltage Power MOSFETs. Design, Performance and Applications // Springer Briefs in Applied Sciences and Technology. – NY.: Springer, vol. 7, 2011. 73 p.
8. Moalemi, V. Subthreshold Pass Transistor Logic for Ultra-Low Power Operation. IEEE Computer Society Annual Symposium / V. Moalemi, A. Afzali-Kusha. – ISVLSI.'07. VLSI.2007. P. 490-491.

METHOD OF CARRYING OUT THE OPERATIVE ANALYSIS OF THE ELECTRIC AND TEMPORARY PARAMETERS OF DIGITAL CMOS CELLS AND ICS ON THEIR BASIS

© 2012 V.M. Dyakonov, N.V. Semuchenkov, V.S. Tarakanov, D.P. Frolov, A.V. Korshunov

National Research University "MIET", Moscow

Method of operative calculation the electric and temporary parameters of digital schemes designed on the CMOS transistors basis is given in article. The considered method is based on replacement the functional-various logic elements (LE) by their macromodels. Macromodel («the equivalent inverter») is characterized by a fixed set of parameters which values are defined rather replaced LE. Input data at calculation are not physical properties of transistors on basis of which LE designed, but inverter delay in chain of cascade-connected inverters with identical topological parameters and capacitor parameters of transistors is designed. The offered method essentially simplifies the procedure of operative determination the parameters of digital CMOS schemes.

Key words: CMOS ICS, logic element, modeling, electric parameters, macromodel, inverter, digital element

Vladimir Dyakonov, Candidate of Technical Sciences, Associate Professor. E-mail: dicd@miee.ru; Nikolay Semuchenkov, Minor Research Fellow. E-mail: dicd@miee.ru; Vladimir Tarakanov, Minor Research Fellow. E-mail: tarvs@ya.ru; Dmitriy Frolov, Post-graduate Student. E-mail: dmitryfrol@gmail.com; Andrey Korshunov, Senior Teacher. E-mail: korshun@gmail.com